

English Abstract of  
Japanese Unexamined Patent Application Publication No.8-  
235149

5

Publication date: September 13, 1996

Filing number: 7-37118

Filing date: February 24, 1995

10 Applicant: Sumitomo Metal Kogyo Kabushiki Kaisha

Inventor: Motohiko Matsuda

Title: "Instruction Generating and Distributing Device for  
Single instruction Multiple data parallel processor"

15

Parallel processing instruction is issued from a front  
end calculator 1. An instruction decoder interprets the  
instruction, and generates an instruction train which is to  
be commonly processed by a plurality of processing elements  
(PEs) 40, 41, 42, .... A broadcast bus 3 is used to  
20 simultaneously transfer the instruction train to the  
plurality of PEs 40, 41, 42, .... Each PE has: a MPU 404, a  
MPU actuating mechanism 402, and an instruction buffer 401.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-235149

(43) 公開日 平成8年(1996)9月13日

| (51) Int.Cl. <sup>a</sup> | 識別記号  | 庁内整理番号 | F I           | 技術表示箇所  |
|---------------------------|-------|--------|---------------|---------|
| G 0 6 F 15/80             |       |        | G 0 6 F 15/80 |         |
| 15/16                     | 3 9 0 |        | 15/16         | 3 9 0 T |

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平7-37118

(22) 出願日 平成7年(1995)2月24日

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 松田 元彦

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

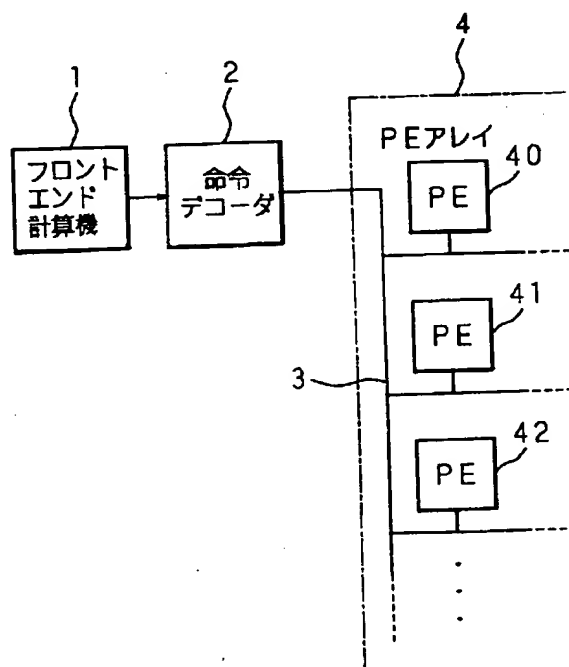
(74) 代理人 弁理士 河野 登夫

(54) 【発明の名称】 単一命令・多データ型並列計算機の命令生成・分配装置

(57) 【要約】 (修正有)

【目的】 一般的に専用の演算器に比して高性能であるマイクロプロセッサをプロセッサエレメントとして使用してSIMD並列計算機を構成することにより、高性能且つプログラミング的に有利な並列計算機を提供する。

【構成】 フロントエンド計算機1から発行される並列命令計算の命令を解釈し、複数のプロセッサエレメント(PE)40、41、42…が共通に処理すべき命令列を生成する命令デコーダ2と、生成された命令列を複数のPE40、41、42…に対して同時に転送するブロードキャストバス3とを備え、更に複数のPE40、41、42…それぞれに、MPU 404と、命令デコーダ2からブロードキャストバス3を介して与えられる所定の信号に従ってそれぞれのMPU 404を起動するMPU起動機構402と、命令デコーダ2からブロードキャストバス3を介して転送される命令列を保持すると共に、保持した命令列をそれぞれのMPU 404がMPU起動機構402により起動される際に供給する命令バッファ401とを備える。



## 【特許請求の範囲】

【請求項 1】 逐次計算処理するフロントエンド計算機と、前記フロントエンド計算機から発行される並列計算の命令を処理する複数のプロセッサエレメントとを備えた単一命令・多データ型並列計算機の命令生成・分配装置において、

前記フロントエンド計算機から発行される並列命令計算の命令を解釈し、前記複数のプロセッサエレメントが共通に処理すべき命令列を生成する命令列生成手段と、前記命令列生成手段により生成された命令列を前記複数のプロセッサエレメントに対して同時に転送するブロードキャストバスとを備え、

更に前記複数のプロセッサエレメントそれぞれに、マイクロプロセッサと、

前記命令列生成手段から前記ブロードキャストバスを介して与えられる所定の信号に従ってそれぞれのマイクロプロセッサを起動するマイクロプロセッサ起動手段と、前記命令列生成手段から前記ブロードキャストバスを介して転送される命令列を保持すると共に、保持した命令列をそれぞれのマイクロプロセッサが前記マイクロプロセッサ起動手段により起動される際に供給する命令列保持手段とを備えたことを特徴とする単一命令・多データ型並列計算機の命令生成・分配装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は単一命令・多データ型並列計算機、即ちSIMD並列計算機に関し、特にその命令生成・分配装置に関する。

## 【0002】

【従来の技術】 複数のプロセッサエレメントを使用して計算を並列実行する並列計算機は、一般的には単一命令・多データ型(Single Instruction stream Multiple Data stream:SIMD) 並列計算機と多命令・多データ型(Multiple Instruction stream Multiple Data stream:MIMD) 並列計算機とに分類される。SIMD並列計算機は、フロントエンドとしての逐次計算機にプロセッサエレメントとしての演算器を多数接続して構成されており、基本的には逐次型の処理を行なう。しかし、命令処理の実行中に並列命令が存在する場合には、プロセッサエレメント群を同時に動作させることにより並列計算を実行する。

【0003】 このようなSIMD並列計算機はプログラムモデルが単純であるため、数値処理等に適しており、そのような分野のアプリケーションに対してはMIMD並列計算機に比してよりプログラミングが容易であるという特徴を有する。

【0004】 一方、MIMD並列計算機は多プロセス、多ジョブのプログラムモデルであるため、より一般的な処理を行なうことが可能である。しかし、MIMD並列計算機では、プロセッサエレメント間の同期、あるいはプロセッ

サエレメント間の時間関係による非決定的な動作など、SIMD並列計算機に比して実行状況が複雑になる等の問題点があるため、処理等の面ではSIMD並列計算機の方が有利である。

05 【0005】 即ち、従来は汎用マイクロプロセッサにより並列計算機を構成する場合、叙述のような事情からMIMD並列計算機として構成することが一般的であった。MIMD並列計算機においては、プロセッサエレメント群中の個々のプロセッサエレメントは命令シーケンサ等を有する独立した一つの計算機であり、各プロセッサエレメントは自身のメモリに保持されている命令列に従って並列計算を実行する。一方、SIMD並列計算機ではフロント

10 エンド、即ち並列計算機の逐次実行部分を処理する通常の計算機で構成された部分からプロセッサエレメントアレ

15 イへ発行された命令が複数のプロセッサエレメントにより一斉に実行される。換言すれば、プロセッサエレメント群中のそれぞれのプロセッサエレメントは基本的には命令列を保持しておらず、フロントエンドから発行される命令に逐一従って並列計算を実行する。従来において

20 並列計算機を構成する場合には、プロセッサエレメントにマイクロプロセッサを使用するのであれば、マイクロプロセッサにて構成される独立した計算機を並べる形のMIMD並列計算機として構成されることが一般的であ

25 った。

【0006】 従って、従来において並列計算機をSIMD並列計算機として構成する場合、プロセッサエレメントとしては専用の演算器、たとえば加算器等を使用することが一般的であって汎用マイクロプロセッサをプロセッサエレメントとして使用することはなかった。即ち、SIMD

30 並列計算機ではフロントエンドから全てのプロセッサエレメントが制御される必要があるため、マイクロプロセッサを直接使用するには種々の問題があった。また同時に、フロントエンドから全てが制御されることから、プロセッサエレメントには命令制御が不要であり、従って構成が簡単であることから、専用の演算器が製作されて使用されていた。しかし、一般的にはマイクロプロセッサの近年の性能向上が著しいため、専用のプロセッサエレメントを使用するよりも、マイクロプロセッサをプロセッサエレメントとして使用することが今後のSIMD並列

40 計算機にとっては重要な課題になりつつある。

## 【0007】

【発明が解決しようとする課題】 ところで、従来からSIMD並列計算機による命令実行をMIMD並列計算機により代替させるための言語あるいはコンパイラが知られてい

45 る。しかしそれらによる場合には、実行時に処理が決定する対話的な言語、あるいはデバッグに関しては問題が存在する。また、それらによる場合には、一面ではアプリケーションソフトウェアからみた対策であるので、非本質的な非決定性により複雑になる動作の正当性をコン

50 パイラに頼ることになり、十分な効果が得られない。

【0008】本発明は以上のような事情に鑑みてなされたものであり、一般的に専用の演算器に比して高性能であるマイクロプロセッサをプロセッサエレメントとして使用してSIMD並列計算機を構成することにより、高性能且つプログラミング的に有利な並列計算機を提供することを目的とする。ここでの問題は、汎用マイクロプロセッサは命令列を自身に接続されたメモリからロードするように構成されていることに対して、SIMD並列計算機では計算処理の実行中に短い命令列を頻繁に解釈、分配、ロードする必要があることである。換言すれば、SIMD並列計算機のプロセッサエレメントとしてマイクロプロセッサを使用する場合には、そのための特別な構成が必要になるので、本発明ではその点に関して新規性をする。

【0009】

【課題を解決するための手段】本発明に係る単一命令・多データ型並列計算機の命令生成・分配装置は、逐次計算を処理するフロントエンド計算機と、フロントエンド計算機から発行される並列計算の命令を処理する複数のプロセッサエレメントとを備えた単一命令・多データ型並列計算機のための命令生成・分配装置であって、フロントエンド計算機から発行される並列命令計算の命令を解釈し、複数のプロセッサエレメントが共通に処理すべき命令列を生成する命令列生成手段と、命令列生成手段により生成された命令列を複数のプロセッサエレメントに対して同時に転送するブロードキャストバスとを備え、更に複数のプロセッサエレメントそれぞれに、マイクロプロセッサと、命令列生成手段からブロードキャストバスを介して与えられる所定の信号に従ってそれぞれのマイクロプロセッサを起動するマイクロプロセッサ起動手段と、命令列生成手段からブロードキャストバスを介して転送される命令列を保持すると共に、保持した命令列をそれぞれのマイクロプロセッサがマイクロプロセッサ起動手段により起動される際に供給する命令列保持手段とを備えたことを特徴とする。

【0010】

【作用】本発明に係る単一命令・多データ型並列計算機の命令生成・分配装置では、命令列生成手段により、フロントエンド計算機から発行される並列命令計算の命令が解釈されて複数のプロセッサエレメントが共通に処理すべき命令列が生成され、この命令列が複数のプロセッサエレメントに対してブロードキャストバスにより同時に転送される。更に、複数のプロセッサエレメントそれぞれでは、命令列生成手段からブロードキャストバスを介して与えられる所定の信号に従ってそれぞれのマイクロプロセッサがマイクロプロセッサ起動手段により起動され、命令列保持手段が保持している命令列がそれぞれのマイクロプロセッサがマイクロプロセッサ起動手段により起動される際に供給される。

【0011】

【実施例】以下、本発明をその実施例を示す図面に基

いて詳述する。

【0012】図3はマイクロプロセッサをプロセッサエレメントとして使用する単一命令・多データ型並列計算機の全体の構成例を示すブロック図である。

05 【0013】図3において、参照符号1はフロントエンド計算機を、参照符号2は命令列生成手段として機能する命令デコーダを、参照符号3はブロードキャストバスを、参照符号4は複数のプロセッサエレメント（以下、PEと言う）40、41、42...で構成されるプロセッサエレメントアレイ（以下、PEアレイと言う）をそれぞれ示している。フロントエンド計算機1からは命令列が発行されて命令デコーダ2に与えられる。命令デコーダ2とPEアレイ4の各PE40、41、42...との間はブロードキャストバス3でそれぞれ接続されている。

15 【0014】フロントエンド計算機1は通常のたとえばワークステーション等の計算機である。SIMD並列計算機では、フロントエンド計算機1から並列処理の要求がある場合にのみ、PEアレイ4の各PE40、41、42...が動作を開始する。フロントエンド計算機1とPEアレイ4の各PE40、41、42...との間はブロードキャストバス3で接続されているが、このブロードキャストバス3は特殊なバスではなく、一般的なバスである。

25 【0015】図1は本発明の単一命令・多データ型並列計算機の命令生成・分配装置の命令デコーダ2内部に含まれる部分の構成例を示すブロック図である。この命令デコーダ2の構成はフロントエンド計算機1から出力される並列命令に対応して構成する必要がある。しかし、ここでは一例として、マイクロプロセッサ及びメモリ等で構成した例を示す。図1において、参照符号20は命令キューを、21は命令列テーブルを、22はマイクロプロセッサ（以下、MPUと言う）を、23は出力バッファをそれぞれ示している。

35 【0016】命令デコーダ2は、フロントエンド計算機1から発行される並列命令を解釈し、後述するPEアレイ4の各PE40、41、42...に内蔵されているMPUにより実行が可能な命令列に変換する。並列命令はSIMD並列計算機として動作するために定義された仮想的な命令である。命令デコーダ2は上述のように、フロントエンド計算機1とブロードキャストバス3とに接続されており、フロントエンド計算機1から発行された並列計算の命令をたとえばテーブルルックアップ等の従来公知の手法によりMPU用の命令列に変換した後、ブロードキャストバス3へ出力する。SIMD並列計算機により処理される並列計算としては、たとえばPEアレイ4中の全てのPE40、41、42...で一斉に加算を行なう等の演算が一般的である。命令デコーダ2はそのような命令を各PE40、41、42...のMPUが実行するために必要なメモリからのデータのロード、演算、演算結果のメモリへのストアを指示する命令列に変換してブロードキャストバス3へ出力する。

50 【0017】以下、具体的に説明する。フロントエンド

計算機 1 から発行された命令は命令デコーダ 2 内の命令キュー 20 に一旦保持される。この命令キュー 20 は複数の命令をキューイング可能なように構成されている。命令キュー 20 に保持された命令は MPU 22 により解釈されるが、複数の命令を組み合わせて解釈することにより、より効率的な MPU 命令列を生成することも可能である。

【0018】また、MPU 22 が命令を解釈する上で必要があれば、各命令の命令フィールドから必要な情報を得るための専用のハードウェアを備えることも可能である。たとえば、命令のオペランドが即値であって命令フィールドにビット列として埋め込まれているような場合には、MPU によるソフトウェアでの解釈には時間が多く必要になるため、そのような場合に即値データを直接読み出せる専用のハードウェアを備えていれば、より迅速な命令の解釈が可能になる。

【0019】命令デコーダ 2 による PE アレイ 4 の各 PE 40, 41, 42... の MPU 用の命令列（以下、MPU 命令列と言う）の生成は以下のようにして行なわれる。命令列テーブル 21 には予め、フロントエンド計算機 1 が発行する種々の並列計算の命令に対応した MPU 命令列が格納されている。従って、上述のような必要な命令フィールドの処理に続いて、たとえばテーブルルックアップ等の手法により命令列テーブル 21 から対応する MPU 命令列を読み出すことにより、フロントエンド計算機 1 から与えられた命令が MPU 命令列に変換される。これにより、フロントエンド計算機 1 から発行された命令の解釈が完了する。

【0020】この際、必要であれば命令列テーブル 21 に予め格納されているテーブルから得られた MPU 命令列を部分的に変更することも可能である。たとえば、フロントエンド計算機 1 から発行された命令にデータあるいはアドレスが含まれている場合、それらをテーブルから読み出した MPU 命令列に埋め込む必要がある。即ち、ブロードキャストバス 3 を通じて各 PE 40, 41, 42... へ送られる命令列は純粋な命令のみならずデータあるいはアドレスをも含んでいる場合がある。このようにして生成された MPU 命令列は出力バッファ 23 から順次ブロードキャストバス 3 へ出力される。

【0021】なお、命令デコーダ 2 は命令の解釈を行なう他にも種々の機能を有している。PE アレイ 4 中の各 PE 40, 41, 42... の MPU で直接実行することが不可能な処理、たとえば各 PE 40, 41, 42... が有するある値に対する総和を計算するというような処理に関しては、命令デコーダ 2 自身が実際の計算処理を行なうことも可能である。更に、全ての PE の MPU の同期をとる等の SIMD 並列計算機を構成する上で必要な幾つかの機能を命令デコーダ 2 が有している必要がある。そのような機能は MPU 22 により容易に実現が可能である。

【0022】ブロードキャストバス 3 は命令デコーダ 2 と PE アレイ 4 中の各 PE 40, 41, 42... との間を接続し、命令デコーダ 2 により生成された命令列を全ての PE 40, 4

1, 42... へ転送する。SIMD 並列計算機では、PE アレイ 4 を構成する全ての PE 40, 41, 42... は同一の命令列を必要とするため、ブロードキャストバス 3 による命令列の転送はブロードキャスト（同報通信）になる。ブロードキャストバス 3 そのものは通常の一般的なバスであるが、信号の転送方式が一对一の転送ではなく、命令デコーダ 2 から全ての PE 40, 41, 42... に対して同時かつ一斉に行なわれる。

【0023】図 2 は本発明の単一命令・多データ型並列計算機の命令生成・分配装置の PE アレイ 4 を構成する複数の PE 40, 41, 42... それぞれの内部に含まれる部分の構成例を示すブロック図であり、全て共通の構成を有している。各 PE 40, 41, 42... は、命令列保持手段として機能する命令バッファ 401 と、MPU 起動手段として機能する MPU 起動機構 402 と、メモリ 403 と、MPU 404 とで主として構成されている。なお、ブロードキャストバス 3 と命令バッファ 401 及び MPU 起動機構 402 の入力側が直接接続されており、命令バッファ 401 の出力側は内部バスである MPU バス 405 に、MPU 起動機構 402 の出力側は MPU 404 にそれぞれ接続されている。また、メモリ 403 及び MPU 404 は MPU バス 405 に入出力側共に接続されている。

【0024】命令バッファ 401 は所謂 FIFO (First In First Out) 型のバッファであり、MPU 404 が処理を実行開始する時点で MPU 404 に命令列を供給するために使用される。具体的には、命令バッファ 401 はブロードキャストバス 3 から与えられる命令列を順次的に保持し、それらを MPU 404 が起動する都度、順次的に MPU 404 へ転送する。一般的には、MPU 404 がある並列計算の命令の処理を実行している時点において、次の並列命令を実行するための命令列がブロードキャストバス 3 からロードされる。

【0025】なお、命令バッファ 401 はその構成にもよるが、一般的には主メモリ、即ちメモリ 403 とは物理的に独立したメモリとして構成する必要がある。その理由は、MPU 404 が命令列の処理を実行する際には、メモリ 403 は MPU 404 の処理に専ら使用されると考えられるため、メモリ 403 がたとえばインタリーブ等により多重化されていない限りは命令バッファ 401 をメモリ 403 内に構成した場合には性能の低下を招来するからである。

【0026】また、命令バッファ 401 は MPU 404 の構成に対応した構成が必要である。たとえば、MPU 404 が独立した命令キャッシュとデータキャッシュとを備えている所謂ハーバードアーキテクチャを採用している場合、あるいは少なくとも命令キャッシュを有する場合にはそれらを有効に活用すべく、命令バッファを命令バスに接続する配慮、ある命令バッファを命令キャッシュの一部として利用する配慮が必要である。

【0027】MPU 404 の起動に際しては、MPU 404 に命令バッファ 401 内の命令を実行させる必要がある。MPU

404の起動は割り込みあるいはその起動のタイミングまで MPU 404をホールド状態に維持する等の手法が可能であり、MPU 404の特性に応じて選択すればよい。MPU 404への命令のロードは、命令バッファ401をメモリと見做して参照することにより行なわれる。但し、MPU 404が外部から直接命令をロードする機能を有している場合はその機能を利用してもよい。

【0028】命令バッファ401に保持される命令は MPU 404に実際に実行される演算命令である場合も、あるいは実際に実行される命令は事前にサブルーチンとして MPU 404にロードされており、そのサブルーチンへのジャンプ命令が命令バッファ401に保持されている場合もあり得る。全ての処理がそのような形態で行なわれる場合、縮退した状況としてたとえば命令バッファ401に保持される命令がただ一つになっている場合もあり得る。

【0029】MPU起動機構402は、ブロードキャストバス3を介して命令デコーダ2から与えられる所定の信号により、命令バッファ401内に保持されている命令列に従った演算処理の実行を MPU 404に開始させる。命令デコーダ2は、各PE40、41、42…の MPU 404がその時点で実行している処理を終了し且つ命令バッファ401への次の命令列のロードが完了した時点で所定の信号をブロードキャストバス3へ出力する。各PE40、41、42…の MPU 起動機構402は、命令デコーダ2がブロードキャストバス3へ出力した所定の信号を受信すると、割り込み等の適宜の手法により MPU 404を起動させる。

【0030】以上のように、本発明の単一命令・多データ型並列計算機の命令生成・分配装置では、フロントエンド計算機1から並列計算の命令が発行されると、その命令が命令デコーダ2により各PE40、41、42…の MPU 404のための MPU命令列に命令列テーブル21を利用して変換され、それぞれのPE40、41、42…にブロードキャストバス3を介して同時に転送される。そして、複数のプロセッサエレメントそれぞれにおいては、命令デコーダ2からブロードキャストバス3を介して与えられる所定の

信号に従ってそれぞれの MPU 404が MPU起動機構402により起動され、命令バッファ401が保持している命令列がそれぞれの MPU 404 MPU起動機構402により起動される際に供給される。これにより、PEアレイ4の各PE40、41、42…は同一の命令列を同時に実行する。

【0031】なお、特にここで使用する MPU 404としては、ベクタ演算を行なうMPUはベクタ演算に要する時間が長いため、命令のデコードあるいはブロードキャストに使用可能な時間を充分にとれるため、本発明のSIMD並列計算機に適している。

【0032】

【発明の効果】以上に詳述したように本発明の単一命令・多データ型並列計算機の命令生成・分配装置によれば、一般的に専用の演算器に比して高性能であるマイクロプロセッサをプロセッサエレメントとして使用してSIMD並列計算機を構成したので、高性能且つプログラミング的に有利な並列計算機を提供することが可能になる。

【図面の簡単な説明】

【図1】本発明の単一命令・多データ型並列計算機の命令生成・分配装置の命令デコーダ内部に含まれる部分の構成例を示すブロック図である。

【図2】本発明の単一命令・多データ型並列計算機の命令生成・分配装置のプロセッサエレメントそれぞれの内部に含まれる部分の構成例を示すブロック図である。

【図3】マイクロプロセッサをプロセッサエレメントとして使用する単一命令・多データ型並列計算機の全体の構成例を示すブロック図である。

【符号の説明】

1 フロントエンド計算機

2 命令デコーダ

3 ブロードキャストバス

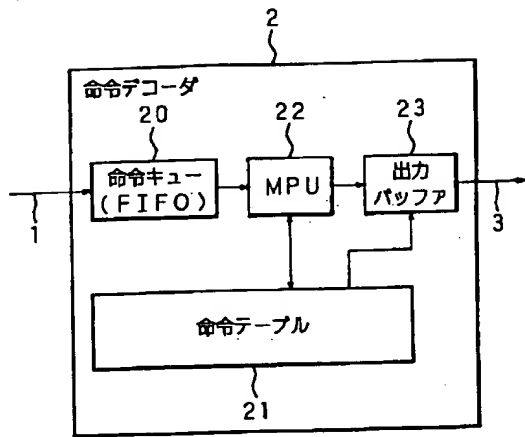
40 (41, 42…) プロセッサエレメント (PE)

401 命令バッファ

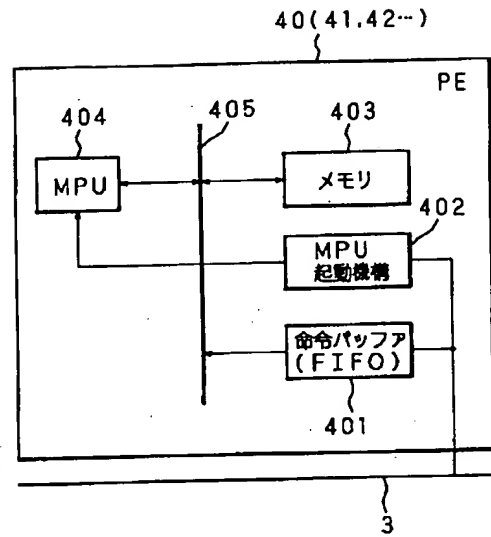
402 MPU起動機構

404 マイクロプロセッサ (MPU)

【図 1】



【図 2】



【図 3】

